**گزارش دستورکار سوم آزمایشگاه معماری کامپیوتر**

نگار موقتیان، 9831062

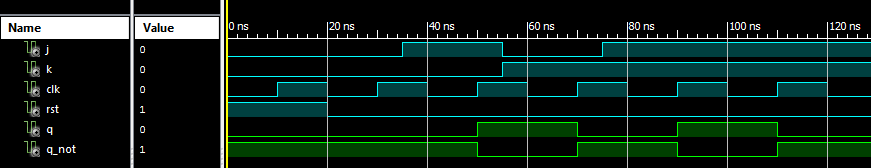
**1.**

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ از نوع JK طراحی کنیم. برای این کار ابتدا جدول درستی حالت فلیپ فلاپ JK را رسم می­کنیم تا رفتار مدار را در هر لبۀ بالاروندۀ کلاک طبق آن تعیین ­کنیم.

|  |  |  |
| --- | --- | --- |
| Qt+1 | K | J |
| Q | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| Q' | 1 | 1 |

همچنین خواسته شده که برای این فلیپ فلاپ یک ریست آسنکرون قرار دهیم. برای طراحی آسنکرون ریست، ابتدا چک می­کنیم که پایۀ RST صفر است یا یک. اگر یک باشد خروجی Q صفر می­شود و اگر صفر باشد به بررسی کلاک می­پردازیم و در صورت بالارونده بودن آن ورودی­ها را طبق جدول بالا در خروجی اثر می­دهیم. با این روش به ریست الویت داده می­شود و در نتیجه به صورت آسنکرون عمل می­کند.

رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است.



در این test bench ابتدا برای مدتی پایۀ RST را روشن کرده­ایم تا خروجی Q به حالت پایدار صفر برود. همانطور که دیده می­شود به محض یک شدن پایۀ RST و پیش از اولین لبۀ بالا روندۀ کلاک خروجی صفر شده است، بنابراین ریست به صورت آسنکرون است. همچنین اگر مقدار ورودی­های J و K را در هر لبۀ بالاروندۀ کلاک بررسی کنیم، تغییرات خروجی مانند جدول رسم شده در بالا است.

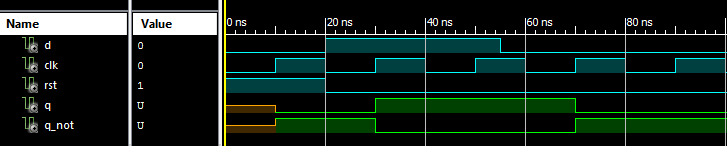
**2.**

|  |  |
| --- | --- |
| Qt+1 | D |
| 0 | 0 |
| 1 | 1 |

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ از نوع D به صورت active high طراحی کنیم. برای این کار ابتدا جدول درستی حالت فلیپ فلاپ D را رسم می­کنیم تا با استفاده از آن بتوانیم حالت رفتاری آن را بنویسیم.

همچنین خواسته شده که برای این فلیپ فلاپ یک ریست سنکرون قرار دهیم. برای طراحی سنکرون ریست، کافیست شرط صفر یا یک بودن آن را پس از چک کردن لبۀ بالاروندۀ کلاک بررسی کنیم. در این حالت ابتدا چک می­شود که در لبۀ بالاروندۀ کلاک باشیم، اگر در این حالت بودیم بررسی می­شود که اگر RST یک باشد، صرف نظر از ورودی خروجی یک می­شود. در غیر این صورت خروجی مقدار ورودی D را به خود می­گیرد.

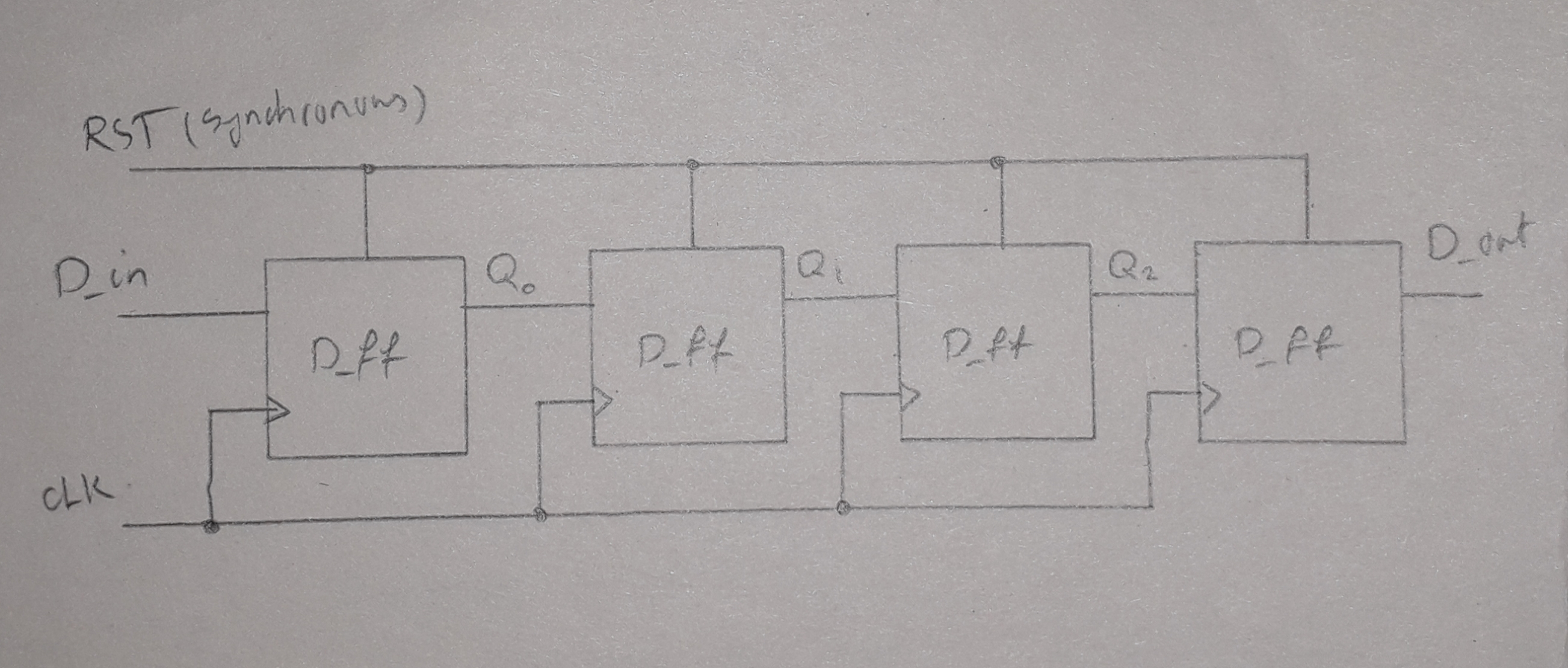
رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است.



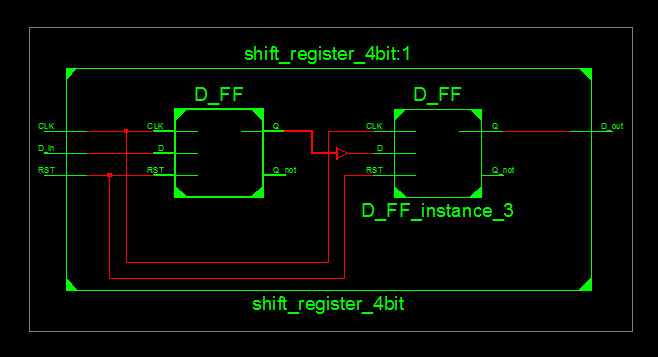
در این test bench ابتدا برای مدتی پایۀ RST را روشن کرده­ایم تا خروجی Q به حالت پایدار صفر برود. همانطور که دیده می­شود به محض یک شدن پایۀ RST و پیش از اولین لبۀ بالا روندۀ کلاک خروجی صفر نشده است و صفر شدن خروجی تا آمدن اولین لبۀ بالاروندۀ کلاک به تعویق افتاده است. بنابراین ریست در این مدار به صورت سنکرون عمل می­کند. همچنین اگر مقدار ورودی­ D را در هر لبۀ بالاروندۀ کلاک بررسی کنیم، تغییرات خروجی مانند جدول رسم شده در بالا است.

**3.**

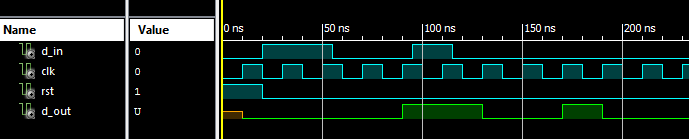
در این قسمت از آزمایش خواسته شده یک Shift register 4 بیتی با استفاده از فلیپ­ فلاپ­های طراحی شده در قسمت قبل طراحی کنیم. برای این کار 4 عدد فلیپ فلاپ را پشت سر هم مانند شکل زیر به یکدیگر متصل می­کنیم. با این کار در هر لبۀ بالاروندۀ ساعت اطلاعات ورودی وارد فلیپ فلاپ اول شده و اطلاعات فلیپ فلاپ i ام به فلیپ فلاپ i + 1 می­رود.



طرح شماتیک رسم شده توسط نرم­افزار نیز در شکل زیر آمده است.



همچنین رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است. همان طور که در این شکل دیده می­شود، شکل سیگنال ورودی پس از گذشت 4 کلاک به عینا" به خروجی منتقل شده است. به دلیل سنکرون بودن ریست فلیپ فلاپ­های D داخل این مدار، همانطور که در بالا توضیح داده شد می­توان مشاهده کرد که ریست این مدار نیز به صورت سنکرون می­باشد.



**4.**

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ T با استفاده از فلیپ­ فلاپ D طراحی شده در قسمت قبل طراحی کنیم. برای این کار ابتدا جدول درستی فلیپ فلاپ­های D و T را رسم می­کنیم و سعی می­کنیم رابطۀ بین آن­ها را بیابیم.

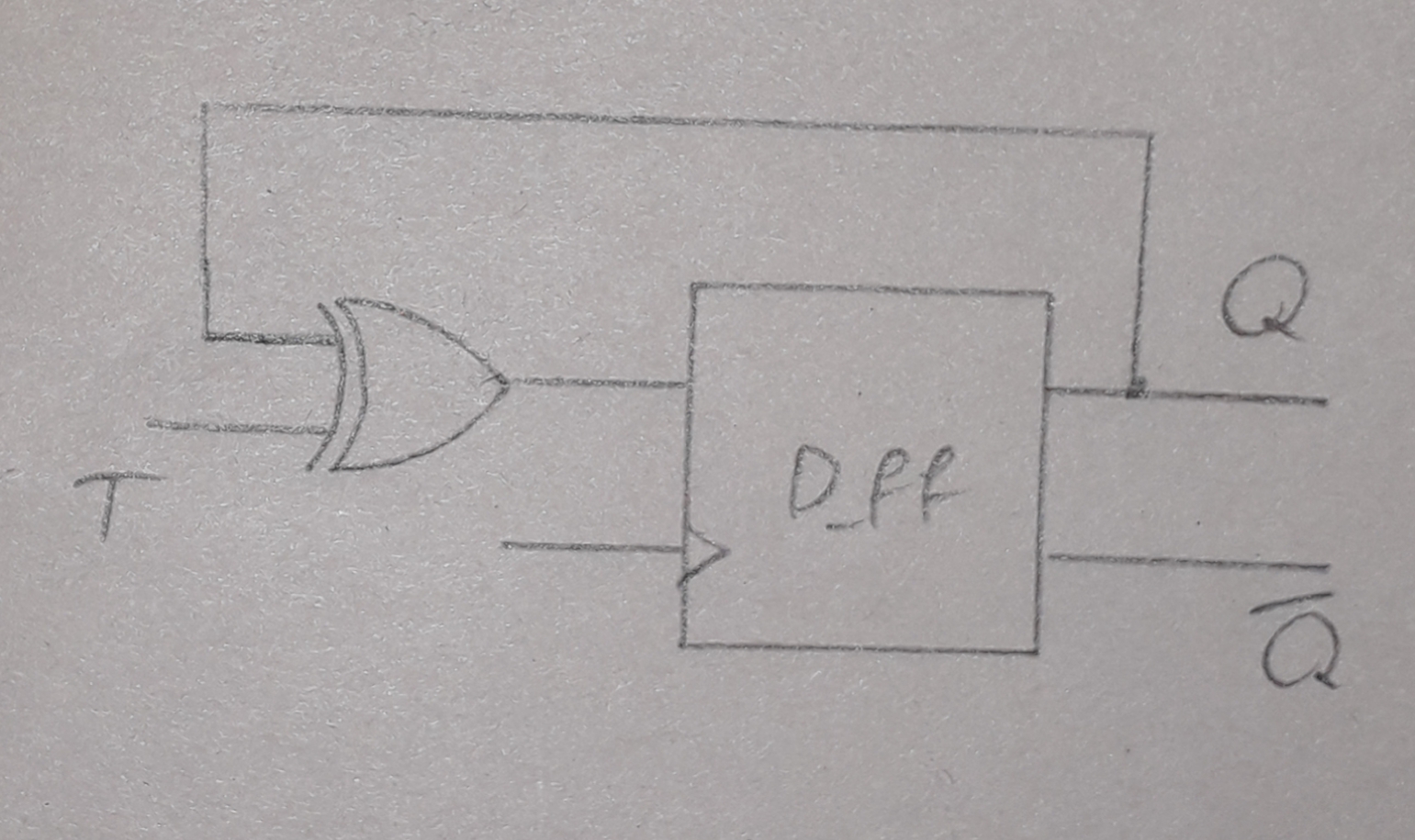
|  |  |
| --- | --- |
| Qt+1 | T |
| Qt | 0 |
| Q't | 1 |

|  |  |
| --- | --- |
| Qt+1 | D |
| 0 | 0 |
| 1 | 1 |

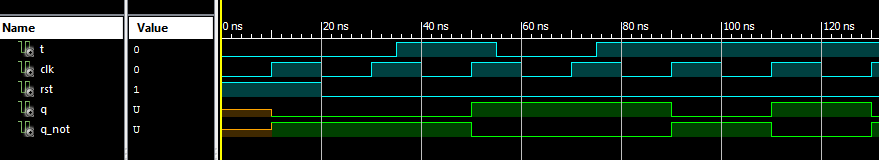
همانطور که دیده می­شود باید به صورتی ورودی فلیپ فلاپ را بر حسب خروجی آن تنظیم کنیم. برای این کار می­توان از گیت xor استفاده کرد، زیرا می­دانیم:

Q xor 0 = Q, Q xor 1 = Q'

بنابراین کافیست مانند شکل زیر ورودی فلیپ فلاپ را با خروجی Q آن xor کنیم تا یک فلیپ فلاپ T بدست آوریم.



همچنین رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است. همانطور که در بالا توضیح داده شد می­توان مشاهده کرد که ریست این مدار نیز به صورت سنکرون می­باشد زیرا خروجی تا آمدن اولین لبۀ بالاروندۀ کلاک صفر نشده است. همچنین دیده می­شود که با آمدن هر لبۀ بالاروندۀ کلاک در صورتی که T یک باشد خروجی toggle کرده­است.



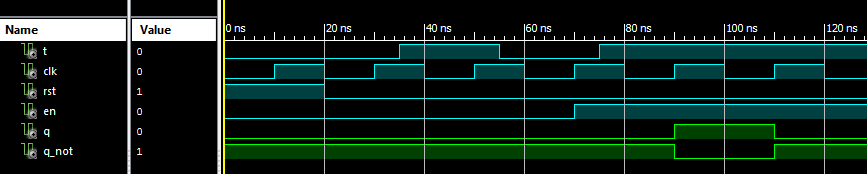
**5.**

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ T با ریست آسنکرون طراحی کنیم. برای این کار ابتدا جدول درستی فلیپ فلاپ­ T را رسم می­کنیم و رفتار مدار را در هر لبۀ بالاروندۀ کلاک طبق آن تعیین می­کنیم.

|  |  |
| --- | --- |
| Qt+1 | T |
| Qt | 0 |
| Q't | 1 |

ریست این فلیپ فلاپ همانطور که در فلیپ فلاپ JK قسمت اول توضیح داده شد به صورت آسنکرون طراحی شده. همچنین در این قسمت یک پایۀ EN برای این فلیپ فلاپ در نظر گرفته شده تا در قسمت بعد بتوانیم برای حفظ حالت از آن استفاده کنیم. این ورودی با کلاک فلیپ فلاپ AND می­شود تا تاثیر کلاک را از بین ببرد. اگر پایۀ EN یک باشد مدار همانند یک فلیپ فلاپ T عادی عمل می­کند. اما مادامی که صفر باشد کلاک وارد شده به مدار صفر خواهد بود و در نتیجه لبۀ بالارونده­ای نداریم و حتی با وجود تغییر ورودی تغییری در خروجی اعمال نمی­شود.

رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است.



همانطور که در این سیگنال­ها دیده می­شود تا زمانی که EN برابر صفر بوده با وجود تغییر T تغییری در خروجی حاصل نشده اما پس از یک شدن آن با آمدن هر لبۀ بالاروندۀ کلاک، در صورتی که T یک باشد خروجی toggle کرده­است.

**6.**

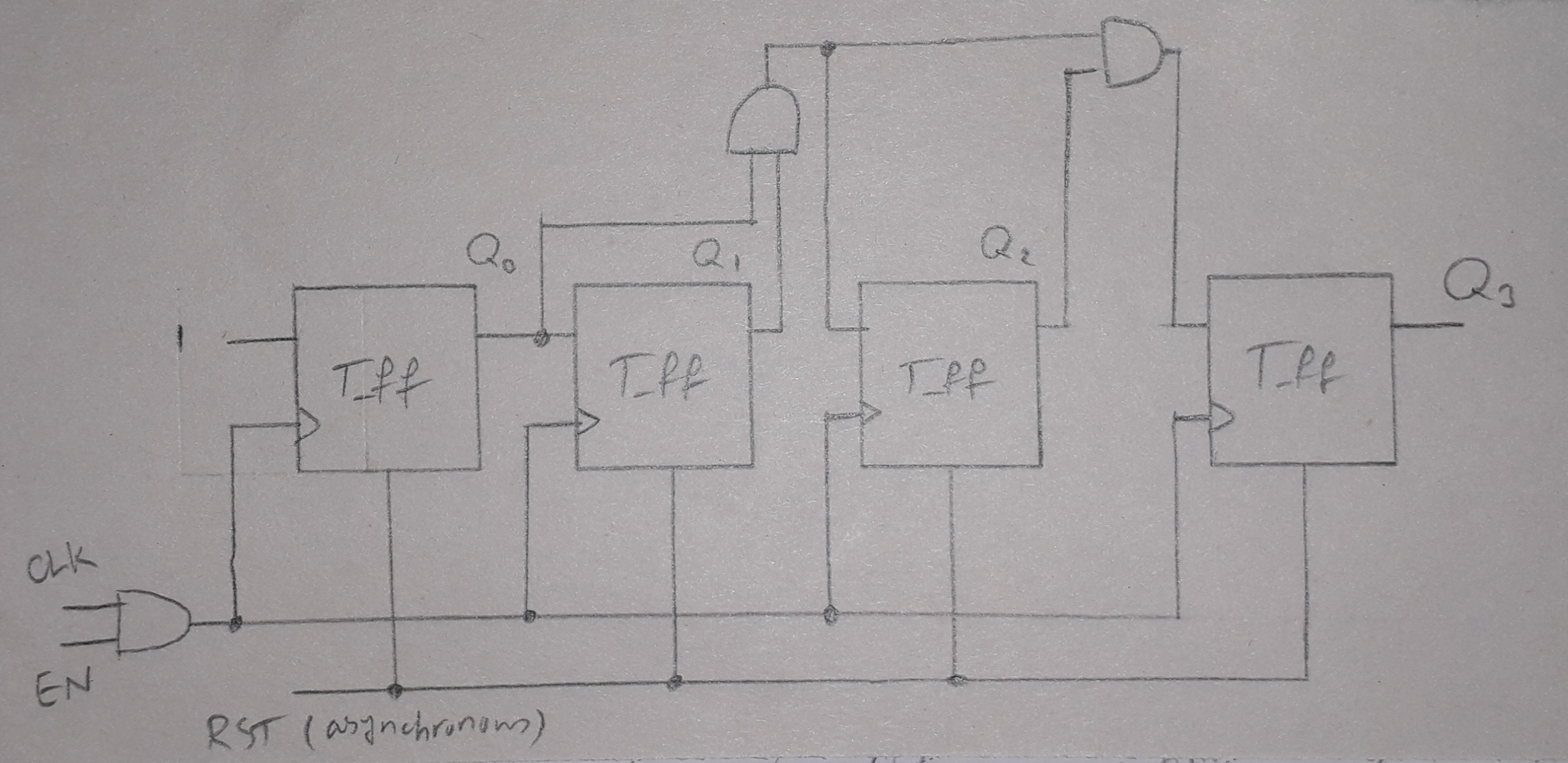
در این قسمت از آزمایش خواسته شده یک شمارندۀ 4 بیتی با استفاده از فلیپ فلاپ­های T ساخته شده در قسمت قبل طراحی کنیم. برای این کار رفتار اعداد باینری از 0000 تا 1111 را در حال افزایش یافتن بررسی می­کنیم.

0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111, 0000, …

همان طور که در این دنبالۀ اعداد دیده می­شود:

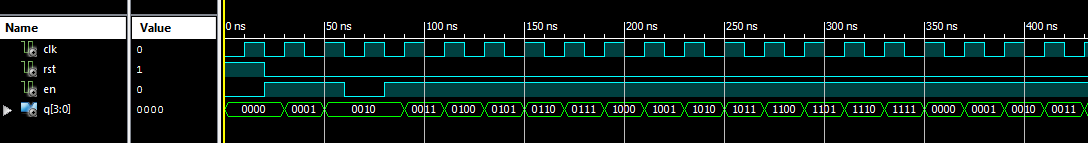
* کم ارزش­ترین بیت (بیت اول) در هر مرحله toggle می­کند.
* بیت دوم زمانی که بیت اول 1 می­شود toggle می­کند.
* بیت سوم زمانی که بیت اول و دوم هر دو 1 هستند toggle می­کند.
* بیت چهارم زمانی که بیت اول، دوم و سوم 1 هستند toggle می­کند.

این رفتار ایدۀ ساخت مدار شمارنده­ای به صورت زیر را نشان می­دهد:



همچنین این مدار یک EN دارد که نحوۀ عملکرد آن در مدار قسمت قبل توضیح داده شد و می­توان از آن برای متوقف کردن شمارش مدار استفاده کرد.

رفتار سیگنال­های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده­است.



همان طور که در این شکل دیده می­شود این شمارنده مادامی که پایۀ EN آن مقدار یک دارد به شمارش ادامه داده و زمانی که مقدار صفر یه خود بگیرد شمارش را متوقف می­کند. علاوه بر آن به دلیل آسنکرون بودن ریست فلیپ فلاپ­های این مدار، ریست این مدار شمارنده نیز آسنکرون می­باشد.

طرح شماتیک رسم شده توسط نرم­افزار این مدار نیز در شکل زیر آمده است.

